

Esercizio 2: Verilog

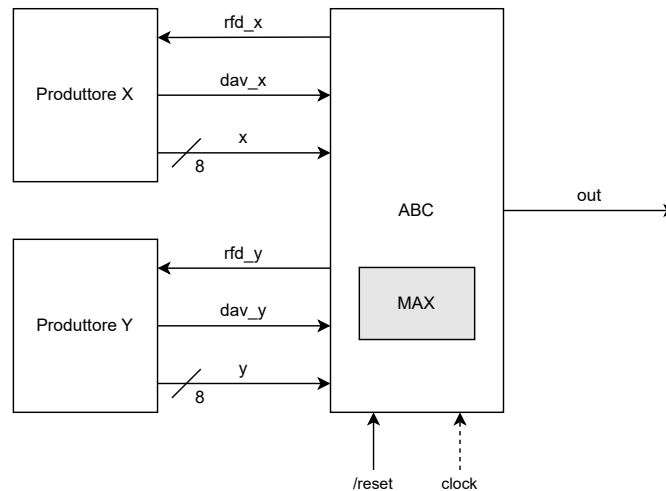


Figura 1: Schema del sistema

Il modulo ABC in Figura 1, ciclicamente

- Preleva due byte x e y dai due produttori
- Li interpreta come rappresentazioni di numeri naturali su 8 bit, e calcola il valore $z = \max(x, y)$
- Mantiene l'uscita out a 1 per z cicli di clock

Note:

- Si assuma che gli input x e y sono sempre maggiori di 0.
- Lo stato di riposo di out è 0.
- Non si faccia alcuna ipotesi sui tempi di risposta dei due produttori.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come modulo a parte la rete combinatoria MAX utilizzata per il calcolo del risultato. Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`, fornite assieme a `testbench.v` al link: <https://tinyurl.com/yc3u3p44>