

## Esercizio 2: Verilog

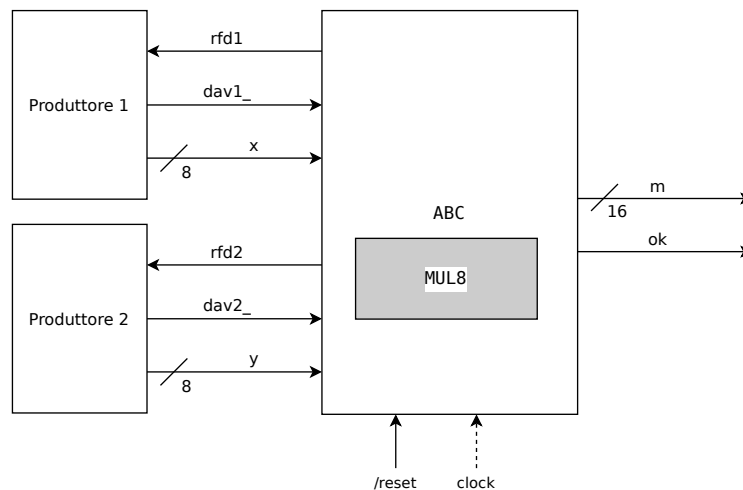


Figura 1: Schema del sistema

L'Unità ABC che compie ciclicamente le seguenti operazioni:

1. Preleva dai produttori due nuovi dati  $x$  e  $y$ .
2. Interpretandoli come numeri naturali, ne calcola il prodotto usando la rete combinatoria MUL8 al suo interno, e ne emette il risultato tramite l'uscita  $m$ .
3. Segnala ciò tramite un posedge dell'uscita  $ok$ .

Nota: è sufficiente che l'uscita  $m$  sia stabile e corretta a partire da un ciclo di clock prima e fino ad un ciclo di clock dopo il posedge dell'uscita  $ok$ .

- Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.  
Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.
- Sintetizzare come modulo a parte la rete combinatoria MUL8 utilizzata per il calcolo del risultato, utilizzando, per le operazioni aritmetiche, le reti combinatorie fornite in `reti_standard.v`.  
Si fa presente che le reti `mul+add` fornite hanno i numeri di bit fissi, ossia  $N = 4$  e  $M = 4$ , mentre le reti sommatore fornite hanno  $N$  configurabile. È apprezzato l'uso del minor numero possibile di queste porte.

Il file `testbench.v` è al link: <https://tinyurl.com/mu2pnztp>