

Esercizio 2: Verilog

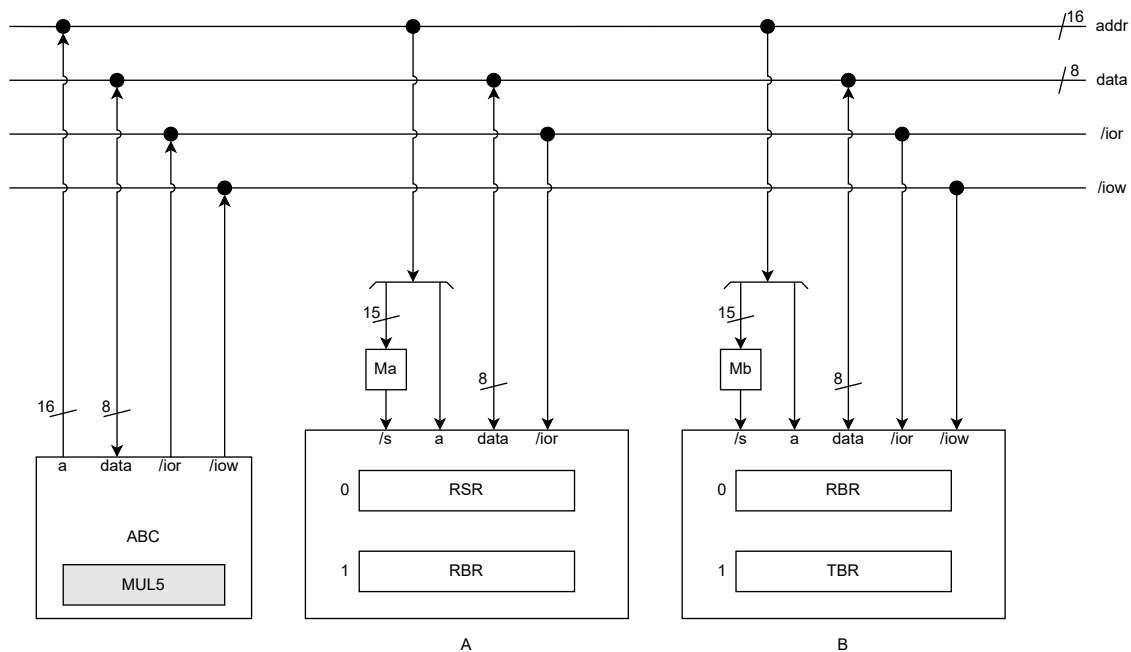


Figura 1: Schema del sistema

Il modulo ABC, come da schema in Figura 1, è connesso ad un bus sul quale sono montate, nello spazio di I/O,

- l'interfaccia parallela di ingresso con handshake A all'offset 0x0100
- l'interfaccia parallela di ingresso e uscita senza handshake B all'offset 0x0120

Il modulo a regime compie ciclicamente le seguenti azioni:

- Legge un byte dall'interfaccia A e lo moltiplica per 5.
- Emette i due byte che rappresentano il prodotto (a partire dal più significativo) tramite l'interfaccia B

Note:

- Nell'interfaccia A, il registro RSR è montato all'indirizzo interno 0 e il registro RBR all'indirizzo interno 1. Il flag FI è alla posizione 0 dell'opportuno registro
- Nell'interfaccia B, il registro RBR è montato all'indirizzo interno 0 e il registro TBR all'indirizzo interno 1.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima. Non è consentito l'uso di microsalti a più di due vie o del registro MJR. *Opzionalmente*, sintetizzare come modulo a parte la rete combinatoria MUL5 utilizzata per il calcolo del risultato, utilizzando le reti combinatorie fornite nel file reti_standard.v. I file testbench.v e reti_standard.v sono forniti al link: <https://tinyurl.com/3ex9793m>